

DELPHION

No active trail

[Select CR](#)[Stop Tracking](#)[RESEARCH](#)[PRODUCTS](#)[INSIDE DELPHION](#)[Log Out](#) | [Work Files](#) | [Saved Searches](#)[My Account](#)Search: [Quick/Number](#) [Boolean](#) [Advanced](#) [Derwent](#)[Help](#)

The Delphion Integrated View: INPADOC Record

Get Now: ☒ PDF | [File History](#) | [Other choices](#)Tools: [Add to Work File](#) | [Create new Work File](#) View: [Jump to: Top](#)Title: **CN1405634A: MASK-PATTERN CORRECTION METHOD**Derwent Title: Optical mask pattern correction method for fabricating semiconductor integrated circuit, involves adding pair of assistant patterns on respective sides of primary strip-like pattern to form modified pattern ([Derwent Record](#))Country: **CN** ChinaKind: **A** Unexamined APPLIC. open to Public inspection iInventor: **CHANGZHI XIE**; China
JUNREN HUANG; China
GUIJUN HONG; ChinaAssignee: **LIANHUA ELECTRONICS CO., LTD.** China
[News, Profiles, Stocks and More about this company](#)Published / Filed: **2003-03-26** / 2002-07-08Application Number: **CN2002000141166**IPC Code: Advanced: [G03F 1/16](#); [G03F 9/00](#); [H01L 21/027](#);
Core: more...
IPC-7: [G03F 1/16](#); [G03F 9/00](#); [H01L 21/027](#);

ECLA Code: None

Priority Number: 2001-09-18 [US2001000954933](#)

Abstract: A correction method for mask patterns is first of all to provide a third pattern composed of a first strip pattern and a second pattern in which the first strip pattern is connected between the head and end of the second one, then two sides of the first strip pattern are added by an auxiliary pattern to form a first correction aptern. After that part of the first strip pattern is reduced to forma second correction pattern, the dimension of the reduced first strip pattern is the key on of a main pattern then the second correction pattern is modified by an optical adjacent correction method to form a third modified pattern.

INPADOC Legal Status: None [Get Now: Family Legal Status Report](#)

Family:

PDF	Publication	Pub. Date	Filed	Title
	US20020182550A1	2002-12-05	2001-09-18	Optical mask correction method
<input checked="" type="checkbox"/>	CN1405634A	2003-03-26	2002-07-08	MASK-PATTERN CORRECTION METHOD
<input checked="" type="checkbox"/>	CN1190708C	2005-02-23	2002-07-08	Mask-pattern correction method
3 family members shown above				

Other Abstract Info: None

[Nominate this for the Gallery...](#)

Copyright © 1997-2009 Thomson Reuters

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G03F 9/00

G03F 1/16 H01L 21/027



[12] 发明专利申请公开说明书

[21] 申请号 02141166.2

[43] 公开日 2003 年 3 月 26 日

[11] 公开号 CN 1405634A

[22] 申请日 2002.7.8 [21] 申请号 02141166.2

[30] 优先权

[32] 2001. 9. 18 [33] US [31] 09/954,933

[71] 申请人 联华电子股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 谢昌志 黄俊仁 洪圭钧 王见明

[74] 专利代理机构 北京市柳沈律师事务所

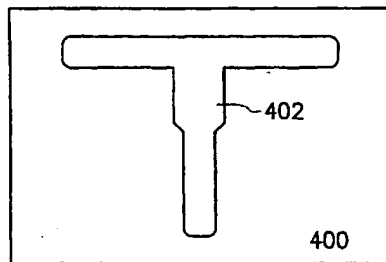
代理人 魏晓刚 李晓舒

权利要求书 1 页 说明书 5 页 附图 4 页

[54] 发明名称 掩膜图案的校正方法

[57] 摘要

一种掩膜图案的校正方法，首先提供具有一第一长条状图案与一第二长条状图案所组成的一第三图案，其中第一长条状图案连接于第二长条状图案的头尾两端之间。接着，在第一长条状图案的两侧加上一辅助图案以形成一第一修正图案。之后，缩小部分第一长条状图案，以形成一第二修正图案，其中部分第一长条状图案缩小后的尺寸为一主要图案的关键尺寸。然后，利用一光学邻近校正法，修正第二修正图案而形成一第三修正图案。



I S S N 1 0 0 8 - 4 2 7 4

知识产权出版社出版

1. 一种掩膜图案的校正方法, 包括下列步骤:

提供由一第一长条状图案与一第二长条状图案所组成的一第三图案, 其中该第一长条状图案连接于该第二长条状图案的头尾两端之间;

5 进行一第一修正步骤, 在该第一长条状图案的两侧加上一辅助图案以形成一第一修正图案;

进行一第二修正步骤, 缩小一部分的该第一长条状图案, 以形成一第二修正图案, 其中该部分的该第一长条状图案缩小后的尺寸为一主要图案的关键尺寸; 以及

10 进行一第三修正步骤, 利用一光学邻近校正法, 修正该第二修正图案而形成一第三修正图案。

2. 如权利要求 1 所述的掩膜图案的校正方法, 其中该主要图案包括一栅极图案。

3. 如权利要求 1 所述的掩膜图案的校正方法, 其中该辅助图案的形状
15 包括条状。

4. 如权利要求 1 所述的掩膜图案的校正方法, 其中该第三图案包括一 T 型图案。

5. 一种栅极与其连线的掩膜图案的校正方法, 包括下列步骤:

20 提供由一第一长条状图案与一第二长条状图案所组成的一 T 形原始图案, 其中该第一长条状图案连接于该第二长条状图案的中段部分, 且一部分的该第一长条状图案是为一栅极原始图案;

进行一第一修正步骤, 在该第一长条状图案的两侧加上一辅助图案以形成一第一修正图案;

25 进行一栅极图案缩小步骤, 将该栅极原始图案缩小以得一栅极图案, 而形成一第二修正图案; 以及

进行一第二修正步骤, 利用一光学邻近校正法, 修正该第二修正图案而形成一第三修正图案。

6. 如权利要求 5 所述的掩膜图案的校正方法, 其中该栅极图案的尺寸是为一关键尺寸。

30 7. 如权利要求 5 所述的掩膜图案的校正方法, 其中该辅助图案的形状包括条状。

掩膜图案的校正方法

5

技术领域

本发明关于一种光刻(Photolithography)工艺,且特别是关于一种掩膜图案的校正方法。

10

背景技术

随着集成电路的集成度的提高,整个集成电路的元件尺寸也必须随之缩小。而在半导体工艺中最举足轻重的可说是光刻工艺,凡是与金属氧化物半导体(Metal-Oxide-Semiconductor; MOS)元件结构相关的,例如:各层薄膜的图案(Pattern),及掺有杂质(Dopants)的区域,都是由光刻这个步骤来决定的。为了因应缩小元件的尺寸,一些提高掩膜解析度的方法被不断地提出来,如光学邻近校正法(Optical Proximity Correction, OPC)以及相移式掩膜(Phase Shift Mask, PSM)等等。

其中光学邻近校正法的目的是用以消除因邻近效应(Proximity Effect)所造成的关键尺寸偏差现象。邻近效应是当光束透过掩膜上的图案投影在晶片上时,一方面由于光束会产生散射现象而使得光束被扩大。另一方面,光束会透过晶片表面的光阻层经由晶片的半导体基底再反射回来,产生干涉的现象,因此会重复曝光,而改变在光阻层上实际的曝光量。

图 1A 至图 1D 所示,其绘示为传统的掩膜图案的校正方法的流程示意图。

请参照图 1A 至图 1B,提供具有一第一长条状图案 102 与一第二长条状图案 104 所组成的一 T 形原始图案 106。之后,进行栅极图案缩小(Gate Shrink)步骤,即将部分第一长条状 102 缩小以形成一第一修正图案 110。而部分第一长条状图案 102 被缩小的部分是用来定义主动区的栅极的部分,因此,部分第一长条状图案 102 缩小后的尺寸即为栅极图案的关键尺寸(Critical Dimension, CD)。

之后, 请参照图 1C, 在第一长条状图案的 102 的两侧加上两辅助图案 (Assist Feature) 108、109, 以形成第二修正图案 112。

接着, 请参照图 1D, 利用光学邻近校正法, 将第二修正图案 112 修正成为第三修正图案 114。

- 5 传统的掩膜图案的校正方法是先将栅极图案缩小后, 再加入辅助图案, 将使第三修正图案 114 的文件大小(File Size)相当庞大, 使得在掩膜图案的写入(Writing)与检视(Inspection)皆须耗费相当多的时间。

图 2 所示, 其绘示为传统的掩膜图案的校正方法在经曝光工艺后的光阻层上视图。

- 10 请参照图 2, 将图 1D 的第三修正图案 114 做为掩膜上的图案以进行一曝光工艺, 使掩膜上的图案转移至光阻层 200, 而形成曝光图案 202。

- 由图 2 可发现, 传统的方法于曝光后在光阻层 200 上所形成的曝光图案 202 易形成凹陷 204(Necking)。这时因为在图 1D 中, 辅助图案 108 与辅助图案 109 之间并非连续, 因此, 在辅助图案 108、109 交界处位置于曝光后易形成凹陷的问题。
- 15

发明内容

- 因此本发明的目的就是提供一种掩膜图案的校正方法, 以减少掩膜图案的文件大小, 而减少掩膜图案的写入与检视的时间。
- 20

本发明的另一目的为提供一种掩膜图案的校正方法, 可有效避免传统方法中由于辅助图案而形成的曝光图案有凹陷的问题。

本发明的再一目的为提供一种掩膜图案的校正方法, 以提高光刻工艺的解析度, 并改善元件的关键尺寸于曝光后不均匀的情形。

- 25 本发明提出一种掩膜图案的校正方法, 首先具有一第一长条状图案与一第二长条状图案所组成的一 T 形原始图案, 其中第一长条状图案连接于该第二长条状图案的中段部分。接着, 进行一第一修正步骤, 在第一长条状图案的两侧加上一辅助图案以形成一第一修正图案。之后, 进行一第二修正步骤, 缩小部分第一长条状图案, 以形成一第二修正图案, 其中部分
- 30 第一长条状图案缩小后的尺寸为一主要图案的关键尺寸。然后, 进行一第三修正步骤, 利用一光学邻近校正法, 修正第二修正图案而形成一第三修

正图案。

本发明利用先在元件图案的两侧加入辅助图案后，再将主要图案缩小，由于辅助图案只使用一组，较传统方法使用两组的辅助图案，可减少掩膜图案的文件大小，以减少掩膜图案的写入与检视的时间。

- 5 本发明利用先在元件图案的两侧加入辅助图案后，再将主要图案缩小，可避免于后续曝光工艺所形成的曝光图案上产生有凹陷的问题。

本发明的掩膜图案的校正方法，不但可提高光刻工艺的解析度，亦可改善关键尺寸图案的均匀度。

- 10 为了让本发明的上述和其他目的、特征、和优点能更明显易懂，下文特举一优选实施例，并配合附图，作详细说明如下：

附图说明

- 图 1A 至图 1D 所示为传统的掩膜图案的校正方法的流程示意图；
- 15 图 2 所示为传统的掩膜图案的校正方法在经曝光工艺后的光阻层上视图；
- 图 3A 至图 3D 所示为依照本发明一优选实施例的掩膜图案的校正方法的流程示意图；以及
- 图 4 所示为依照本发明一优选实施例的掩膜图案的校正方法在经曝光
- 20 工艺后的光阻层上视图。

标记说明

- 102、302：第一长条状图案
- 25 104、304：第二长条状图案
- 106、306：T形原始图案
- 108、109、308：辅助图案
- 110、310：第一修正图案
- 112、312：第二修正图案
- 30 114、314：第三修正图案
- 200、400：光阻层

202、402: 曝光图案

204: 凹陷

具体实施方式

5

图 3A 至图 3D 所示, 其为依照本发明一优选实施例的掩膜图案的校正方法的流程示意图。

请参照图 3A, 首先提供具有一第一长条状图案 302 与一第二长条状图案 304 所组成的一 T 形原始图案 306。其中第一长条状原始图案 302 连接于
10 第二长条状图案 304 的中段部分。

之后, 请参照图 3B, 进行一第一修正步骤, 在第一长条状图案 302 的两侧加上一辅助图案 308, 以形成一第一修正图案 310, 其中第一修正图案 310 包括 T 形原始图案 306 与辅助图案 308。而辅助图案 308 的形状例如为条状。

15 接着, 请参照图 3C, 进行一第二修正步骤, 缩小部分第一长条状图案 302, 以形成一第二修正图案 312。其中部分第一长条状图案 302 缩小后的尺寸为一主要图案的关键尺寸。例如第一长条状图案 302 缩小的部分为用来定义主动区的栅极, 而其缩小后的尺寸即为栅极图案的关键尺寸。

然后, 请参照图 3D, 进行一第三修正步骤, 利用一光学邻近校正法,
20 修正第二修正图案 312, 以形成第三修正图案 314。

本实施例利用先在第一长条状图案 302 的两侧加入辅助图案 308 后, 再缩小部分第一长条状图案 302, 所使用的辅助图案只有一组, 较传统的方法使用两组的辅助图案, 可使整个掩膜图案的文件大小减少许多, 而其可减少的文件大小是依照掩膜上的图案复杂度而定, 以本实施例的元件图案
25 约可减少 5% 至 10% 的文件大小。借由文件大小的降低, 可大幅减少掩膜图案的写入与检视的时间。

图 4 所示, 其绘示为依照本发明一优选实施例的掩膜图案的校正方法在经曝光工艺后的光阻层上视图。

请参照图 4, 将图 3D 的第三修正图案 314 做为掩膜上的图案以进行
30 一曝光工艺, 使掩膜上的图案转移至光阻层 400 上, 而形成一曝光图案 402。

以本实施例所形成的曝光图案 402 并不会如传统的方法中会形成有凹

陷的问题。

综合以上所述，本发明具有下列的优点：

1. 本发明利用先在元件图案的两侧加入辅助图案后，再将栅极图案缩小，由于只使用一组辅助图案，较传统使用两组的辅助图案，可减少掩膜图案的文件大小，以减少掩膜图案的写入与检视的时间。

2. 本发明利用先在元件图案的两侧加入辅助图案后，再将栅极图案缩小，可避免于曝光图案上产生有凹陷的问题。

3. 本发明的掩膜图案的校正方法，不但可提高光刻工艺的解析度，亦可改善关键尺寸图案的均匀度。

10 虽然本发明以一优选实施例披露如上，然其并非用以限定本发明，任何业内人士，在不脱离本发明的精神和范围内，当可做些许的更动与润饰，因此本发明的保护范围视后附的权利要求书所界定者为准。

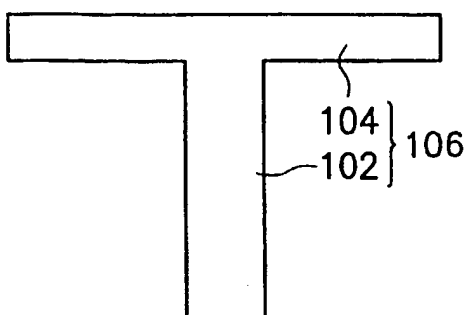


图 1A

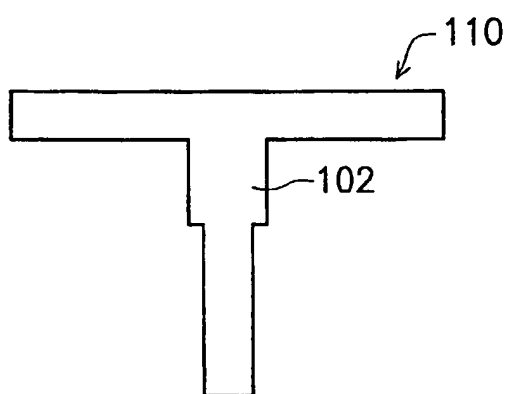


图 1B

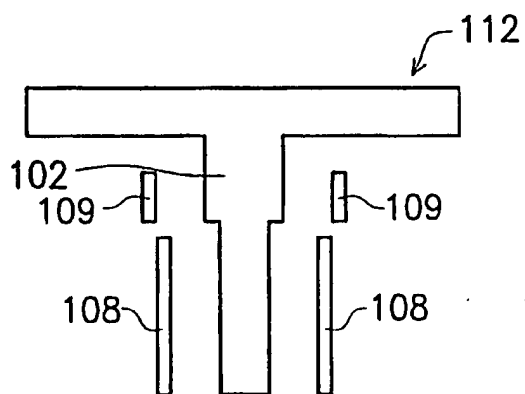


图 1C

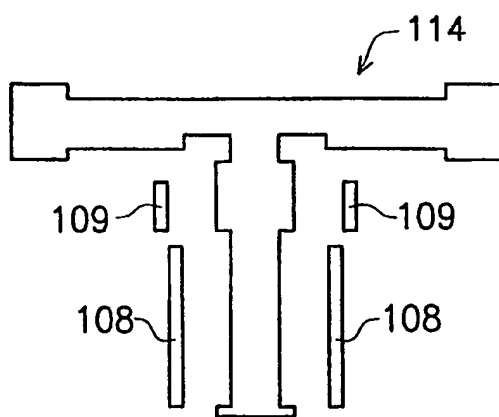


图 1D

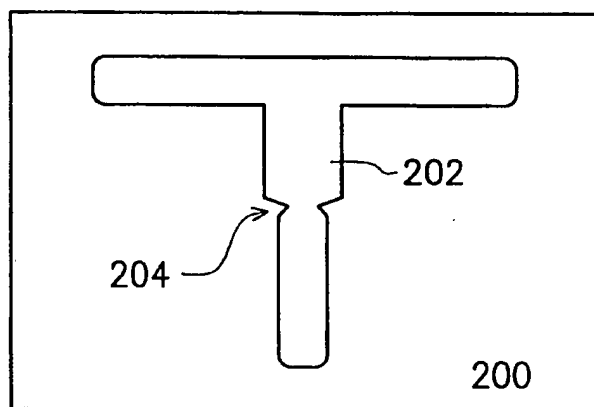


图 2

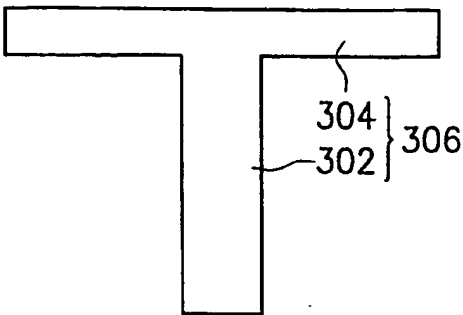


图 3A

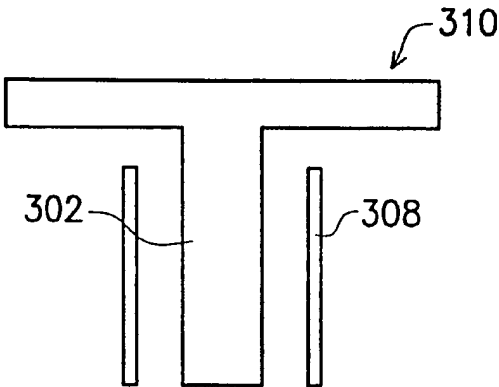


图 3B

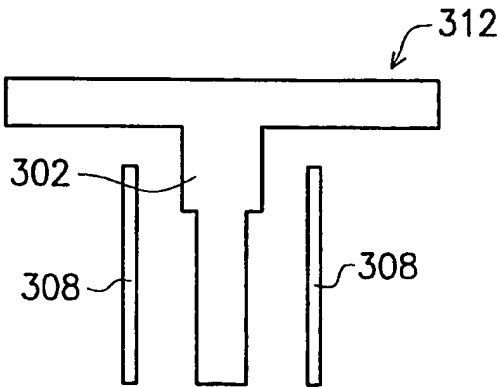


图 3C

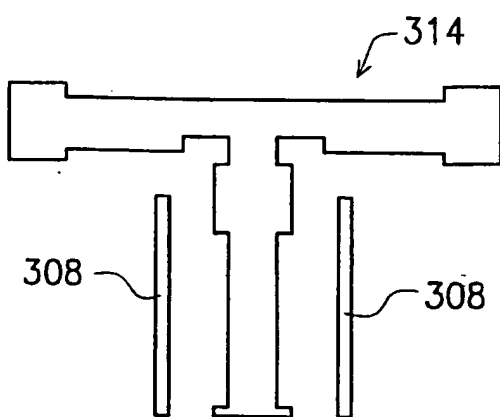


图 3D

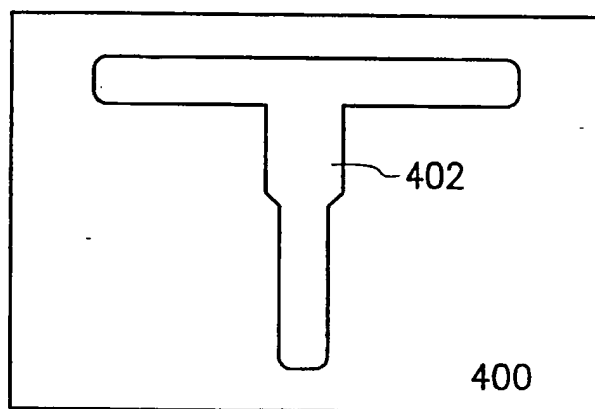


图 4